

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-332583
 (43)Date of publication of application : 02.12.1994

(51)Int.Cl. G06F 1/26
 G06F 1/32
 G06F 1/04

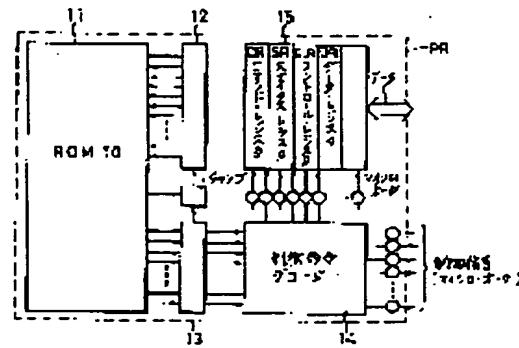
(21)Application number : 05-122976 (71)Applicant : SHARP CORP
 (22)Date of filing : 25.05.1993 (72)Inventor : YOSHIDA YUKIHIRO

(54) POWER CONTROLLER FOR DIGITAL ELECTRONIC EQUIPMENT, PROCESSOR WITH THE POWER CONTROLLER, AND POWER MANAGEMENT SYSTEM FOR DIGITAL ELECTRONIC EQUIPMENT WITH THE PROCESSOR

(57)Abstract:

PURPOSE: To control the power of a digital electronic equipment by a logic system means by providing a control means which decodes the encoded power management instruction and outputs a control signal based on the decoded power management instruction.

CONSTITUTION: A program storage section 11 outputs an instruction program written in a ROM 10 based on the micro order from a control instruction decoder 14. An address counter 12 accesses to the ROM 10 and a control instruction register 13 stores the instruction program written in the ROM 10. The control instruction decoder 14 decodes the instruction stored in the register 13 and outputs the micro order to an I/O controller and a register group 15. The register group 15 is provided with a register storing the instruction and data of power management to be given to the individual control part PR of the CPU and the instruction and data of power management which is given to the individual instruction control part PR for I/O controller.



(3)

接続がシステムを構成する中央処理装置及び各端入出力コントローラの全てまたは一部に偏倚されたり、データの電子機器用電力制御装置及び各端入出力コントローラの電力制御を行ってシステムの電力消費を低減するよう構成されてもよい。

【0014】

【作用】本発明のデジタル電子機器用電力制御装置では、制御手段は符合化された電力マネージメント命令を出しして制御すると共に偏移された電力マネージメント命令に基づいて制御信号を出力する。

【0015】

【0016】本発明のデジタル電子機器用電力制御装置システムは、処理装置の電力を所定の方法により制御が可能で、偏移された電力マネージメント命令を用いて電力消費電力を低減する。

【0017】

【0017】本発明の処理装置は、外部に取付けられたマイクロコンピュータにより電源またはクロック周波数を偏倚して電力を制御する。

【0018】

【0018】本発明のデジタル電子機器用電力管理システムは、システムを構成する中央処理装置及び各端入出力コントローラの全てまたは一部に偏移された電力マネージメント命令を用いて制御装置の電力制御装置及び各端入出力コントローラの電力消費電力を低減する。

【0019】

【実施例】以下、図面を参照して本発明のデジタル電子機器用電力制御装置、及び各端入出力コントローラの電力制御装置の構成、及び各端入出力コントローラの電力制御装置の電力消費電力を詳細に説明する。

【0020】

【0020】図1は、第1発明のデジタル電子機器用電力制御装置の構成である。第1発明のデジタル電子機器用電力制御装置の構成は、第1発明のデジタル電子機器用電力制御装置の構成と同様な形式でありオペランドとオペレータの機能を有する。

【0021】

【0021】図1の第1発明のデジタル電子機器用電力制御装置は、リードオンリメモリ(ROM)10に書き込まれた命令を出力するプログラム記憶部11、ROM10に書き込まれた命令を出力するプログラム記憶部12、ROM10をアクセスするアドレスカウンタ13、ROM10に書き込まれた命令を出力するプログラム記憶部14、制御命令デコード14に接続されておりROM10に書き込まれた命令を出力するプログラム記憶部11は、ROM10を含んでおりROM10に書き込まれた命令プログラムを制御命令デコード14から出力されるマイクロオーダーに基づいて出力する。なお、上述したようにプログラム記憶部11は、制御命令部PRの機能に応じてROMの変わりにAND/ORゲートにより構成されてもよし、が、本実施例では、ROMを用いた場合について説明する。

【0022】

【0022】制御命令デコード14及びシスター・グループは、個別制御部PRが接続される中央処理装置(CPU)または各入出力(I/O)コントローラにそれぞ

(4)

れた命令のプログラムを監視する。制御命令デコード14は、CPUまたは個別制御部PRのレジスタ13に記憶された命令をデコードし、各I/Oコントローラとデータの授受を行い、レジスタグループ15は、CPUまたは各I/Oコントローラを制御するためのマイクロオーダーをCPUまたは各I/Oコントローラに出力する。

【0023】個別制御部PRは、待避イベントや復帰イベントの解釈によって、個別制御部PR、CPU及び各I/Oコントローラの主従関係をスイッチするためのロジック及びバーマネージメントの起動を検知する。

【0024】電源投入時に個別制御部PRのコマンド・レジスタやデータ・レジスタに与えられるバーマネージメントの命令やデータを記憶しておくレジスタ・個別制御部PRがバーマネージメントの命令をCPUや各I/Oコントローラに伝達することで、この命令を実行する。

【0025】図1の個別制御部PRはそれ自身で小規模なマイクロコンピュータを形成しており、後述するように、データ处理特性を有するCPUや各I/Oコントローラ毎に、デジタル電子機器を形成しておりそれぞれが固有のデータ处理特性を有するCPUや各I/Oコントローラ毎に個別制御部PRを駆動することによって、CPUや各I/Oコントローラを個別にバーマネージメントできる分散型システム(以下、システムと称す)を構成する。

【0026】図1の個別制御部PRの動作を図2のフローチャートを参照してシステム毎にバーマネージメントを実行できる。

【0027】図1の個別制御部PRを備えたシステムの構成は図3に示すプロック図である。

【0028】図3のシステムは、ICカードや外部記憶装置として、フランジハードディスクを用いているシステムに対して同様にバーマネージメントを実行できる。

【0029】図3は、図1の個別制御部PRを備えたシステムの一構成例を示すプロック図である。

【0030】図3のシステムは、(1)カードや外部記憶装置として、フランジハードディスクを用いており、付近において電源やバーマネージメントを供給する。

【0031】以下、システムにおける個別制御部PRの動作、特にCPU及び各I/Oコントローラに接続された個別制御部PRを構成するプロトコルの動作を図2のフローチャートを参照して説明する。

【0032】図3よりCPU及び各I/Oコントローラ間に接続された個別制御部PRのレジスタにそれぞれの機能に応じたバーマネージメントの初期解説情報を格納し(ステップS2)、初期化されたシステムがバーマネージメントを必要とするか否かを検出し(ステップS3)、上記ステップS3の結果、システムがバーマネージメントを必要としたときに(YESの場合は、各I/Oコントローラの個別制御部PRにより各種機能に応じバーマネージメントを実行してシステムを初期化し(ステップS1)、CPUによりCPU及び各I/Oコントローラの個別制御部PRのレジスタにそれぞれの機能に応じたバーマネージメントの命令やデータは、並列入出力(P1/O)コントローラのバーコントロール出力によって行なわれる。

【0033】図3のシステムでは、電源ラインは並列に接続されているよう示されているが、物理的にはCPUや各I/Oコントローラ毎に並列に接続されている。

【0034】また、個別制御部PRを構成してもよい。

【0035】個別制御部PRと並んで接続して一體化してシステムに形成されてもよく、それが属する接続と並び自在に接続してもよい。

【0036】また、個別制御部PRを構成するプログラム記憶部は、個別制御部PRと一体化に形成されてもよく、個別制御部PRと並んで接続して一體化してシステムを初期化し(ステップS1)、CPUによりCPU及び各I/Oコントローラの個別制御部PRのレジスタにそれぞれの機能に応じたバーマネージメントの命令やデータは、並列入出力(P1/O)コントローラのバーコントロール出力によって行なわれる。

【0037】図3のシステムでは、電源ラインは並列に接続されているよう示されているが、物理的にはCPUや各I/Oコントローラ毎に並列に接続されている。

【0038】また、図3のシステムでは、電源はメインメモリ20、ICカード21、フランジメモリ22、V-RAM23等のメモリにそれぞれ並列または並列に接続されている。更に、図3のシステムでは、給電回路が並列に接続されている。

【0039】図3の個別制御部PRがそれを構成する機能には、CPUや各I/Oコントローラ毎に並列に接続されている。

【0040】図3よりCPU及び各I/Oコントローラの個別制御部PRが各種機能に応じバーマネージメントを実行してかかるか否かを判別する(ステップS4)、上記ステップS4で、まだ実行していないときは、各I/Oコントローラの個別制御部PRにより各種機能に応じバーマネージメントを実行して各I/Oコントローラの電源を制御し(ステップS5)、上記ステップS4で、既に実行状態であるときは、各I/Oコントローラ毎に全てバーマネージメントを実行し、それぞれが実行状態か否かを判別し(ステップS6)、上記ステップS6でYESの場合は、CPUや各I/Oコントローラを主(マイクロオーダー)として稼働させて通常の処理を行い(ステップS7)、上記ステップS3で各I/Oコントローラ毎にバーマネージメントを要しかるべきI/Oコントローラの個別制御部PRのスタートアップ毎にアクセスする。

【0041】アドレスカウンタ12は、ROM10をアクセサリとしてROMを用いた場合について説明する。

【0042】制御命令デコード14及びシスター・グループは、個別制御部PRが接続される中央処理装置(CPU)または各入出力(I/O)コントローラにそれぞ

(5)

た、リアルタイムクロックの最高位の読み出しが誤り、図5では待避イベント、キー-SK(後述する)の読み出しがいつでも受け取ることができる。

[0041] 図4は、待避キー、直帰キー等のスベチャル・キー-SK(後述する)の読み出しがいつでも受け取れる構成である。

[0042] この機能の動作は、CPUや各I/Oコントローラの状態により、時間的にそれそれ異なっているが、システムの状態によっては、CPUや各I/Oコントローラもシステムの電源動作と同一になる場合がある。

[0043] 図5は、システムの移り変わりを示す状態図である。システムには各種の読み込みが発生するが、それぞれの読み込みに優先順位をつける。優先順位はシステムのアリケーションによって異なるが、本実例では次のようにならに設定する。

[0044] 優先順位1 リアルタイムクロックイベント

優先順位2 スペチャル・キー-SK入力(待避/復帰key)

優先順位3 タイマーイベント

優先順位4 通信イベント

優先順位5 メモリ転送(DMA)イベント

優先順位6 その他(何頭位)イベント

本実例では多並列処理ができないものとするが、多並列処理を許すシステムでも、輸入タスクレジストを割り切ることにより、個別制御部PRを用いた分散バーマネージメント方式によるシステムを形成できる。

[0045] システムの状態には、電源投入時のシステムが初期化されるinizライズの状態、システムが計算等を実行した後のディスプレイや入力待ちを示す待機状態、システムがデータ処理中であることを示す実行状態及び上述した割り込みによって起る待機状態がある。

[0046] 図5は、システムのイベントによる状態の変化を示す。

[0047] 例えば、リアルタイムクロックは、最も優先度が高いが、時刻をいつでも表示するような場合は、システムは常にリアルタイムクロックの電源要求を受け付けて表示されなければならない。これは図5では復帰イベントに相当する。また、時刻が何時何分になればシステムを非動作に設定するような場合は、図5では待避イベントに相当する。

[0048] 通信イベントでは、受信データの受信要求は、システムとは常に半同期に起り、転送優先度は高いが、システムとあるのが普通であるが、データ量が決まりに少ないのでフレームの受信は、受信要求をシステムが出して行う。これは、図5では復帰イベントに相当する。

[0049] スペチャル・キー-SKによる入力イベントは、システムの使用者が入力的に、システムを待避状態

(6)

にしたり実行状態にしたりするキーイベントであり、図5では待避イベント、復帰イベントに相当する。

[0050] タイマー・イベントは、システムが待機状態にあるとき、一定時間が経過すれば表示装置の表示を消すとか、システムを待機状態にするとか、待機状態に対する時間的なイベントである。

[0051] 上述したこととは状態遷移の一例であり、システムのアリケーションによって多様なイベントがある。

[0052] システム全体及びシステムを構成するCPUや各I/Oコントローラは、それぞれの個別制御部PRにより、待避イベントが発生すれば図5に示す待避状態(即ち、システムスタンバイ(DCバイアスモード))を生み出すことができる。

[0053] 以下、本実例のシステムに用いられている電力コントロール回路、CPU、各I/Oコントローラ、及び各メモリについて詳述する。

[0054] 図6は、電力コントロール回路PCCの一様成例を示す。

[0055] 図6の電力コントロール回路PCCは、2つのトランジスタからなり、P1/I/Oのバーコンタロールポートから出力される信号A、Bが各トランジスタのベース入力端子TA、TBにそれぞれ入力される。

[0056] なお、システムのアリケーションによつてトランジスタの数は変化する。また、トランジスタを個々に用いてもよいし、トランジスタをIC化して用いてもよい。

[0057] 図7は、図6の電力コントロール回路PC Cを用いたシステムの一構成例を示す。

[0058] 図7に示すように、図6の電力コントロール回路PCCは、CPUや各I/Oコントローラにそれぞれ個々に接続されており、P1/I/Oのバーコンタロールポートから出力されるフルパワーポートのコンポートル信号AとDCバイアス・レベルに対するための信号Bが2つのトランジスタのベースに入力され

て、CPUや各I/OコントローラをフルパワーまたはDCバイアスレベルに設定する。

[0059] バーマネージメントによってCPUや各I/Oコントローラの電源をスイッチングする電力コントロール部PCCは、Bi-CMOS技術によってパワーコントロール部内に集積化して実現させることができることとなる。

[0060] 図8は、図6及び図7の具体的構成を示す。

[0061] 外部に接続されたパワー・コントロールとPCCの端子Ai、Biとは、パワー・コントロールに含まれているトランジスタ回路部によって接続されおり、オフ電流、オフ電流は端子Ai、Biとパワー・コントロールとの間に図8に示す方向にそれぞれ流れれる。

[0062] 図8に示すように、端子Ai、Biにはトランジスタが接続されており、端子Aiと端子Bi間に接続されたトランジスタの電源をコンポーネントによって遮断する。

[0063] ここで、図1の各項目を説明する。

[0064] 図8は、P1/I/O内のクロック周波数を複数段階で、周波数を下げる。クロックカウントセーブは、P1/I/O内のクロックを停止させる。マシントップは、P1/I/O内のクロックを一時記憶する。

[0065] バーマネージメントによってCPUや各I/Oコントローラは、電源をコントロールしてP1/I/OコントローラをDCバイアスレベルにする(P1/I/Oの個別制御部PRから出力されたクロック・オーディオ、CPUを構成するレジスタ/論理計算装置(ALU)制御部に入力される。

は、各端子Ai、Biは図6の端子Ai、Bi-CMOSS端子回路に接続されている。

[0066] 図9は、端子Ai、Biは図6の端子Ai、Biにそれぞれ対応している。

[0067] 図10は、個別制御部PRは、各ポートのコントロール、各レジスタの入出力のコントロールに使用されるマイクロオーダーを出力する。更に、P1/I/Oの個別制御部PRから後続する底層入出力(S1/I/O)のコントローラやリアル・タイム・クロック(RTC)等のシグナルを構成するP1/I/O以外の構成部分の電源をコントロールするマイクロオーダーをも出力する。

[0068] 図11は、P1/I/Oコントローラの構成例を示す。

[0069] 図9に示すように、P1/I/Oの状態は、

[0070] P1/I/Oコントローラは、CPUとバス接続されてプリントインターフェイス等に用いられ、プログラマブルにパラレルデータの入出を行いう。

[0071] 図11は、P1/I/Oの状態の移り変わりを示す。

[0072] 図11に示すように、P1/I/Oの状態は、

[0073] 上述した図6のシステム全体の状態と同様であるが、時

[0074] 例えば、システムが実行状態にあってもプロット出力がないような状態であり、P1/I/Oは接続していない。

[0075] 次に、システムの中で、各状態におけるP1/I/Oの個別制御部PRが物理的に実行する物的的なバーマネージメントの一例を図11に示す。これはシステムのアリケーションにより異なる。

[0076]

[図11]

図-1 P1/I/Oのバーマネージメントモード(PD)

	イニシアライズ	待機	実行	待機	△: 時間
クロックダウン			O		
クロックスアップ			△	O	
シーシステムセーブ				O	
DCバイアスモード			△	O	
タイムアウト			△	O	
ワーオン		O	O	O	
パーキ		O	O	O	
ディスプレーパワーオフ				O	
バックライトパワーオフ	O			△	

*印は電源ドレーバーではなく電源シャーレオフである。

[0077] ここで、図1の各項目を説明する。

[0078] クロックダウンは、P1/I/O内のクロック周波数を複数段階で、周波数を下げる。クロックカウントセーブは、P1/I/O内のクロックを停止させる。マシントップは、P1/I/O内のクロックを一時記憶する。

[0079] 図12及び図13は、個別制御部PRを有する中央処理装置(CPU)の一構成例を示す。

[0080] 図12に示すように、CPUの個別制御部PRから出力されたクロック・オーディオ、CPUを構成するレジスタ/論理計算装置(ALU)制御部に入力される。

(7)

Rに要求を出して電源がコントロールされる。

[0081] CPUは、システム全体のデータ処理を行うために、固有の命令セット有しており、アドレスバス、データバス、コントロールバスを通して、演算命令、レジスタ命令、アドレス制御命令、「ノーフル命令等を出入力してシステムをコントロールする。

[0082] コマンド・レジスタやデータ・レジスタには、システムの電源投入時SI/Oの個別制御部PRが実行するパワーマネージメントの命令やデータが複数2の各モードを実行処理するためにコード化されている。

[0083] ステータス・レジスタには、個別制御部PRがパワーマネージメントをしているステータスの情報が個別制御部PR自体のコントロールによって入力されており。このステータス情報は、パワーマネージメントによって各モードの情報、及び各モードの処理の実行ステータスがコード化されている。

[0084] コントロール・レジスタには、タイムアウトの設定値やクロックダウン時の制御値が入力され、SI/Oの個別制御部PRから入力されるマイクロオーダーは、各モードのコントロール、各レジスタの入出力コントロールに使われる。

[0085] また、電源は、SI/Oの個別制御部PRがP1/Oコントローラの個別制御部PRに要求を出し

て電源をコントロールするときには、CPUの個別制御部PRがP1/Oコントローラの個別制御部P

[図2]

	イニシタライズ	待機	実行	待機	△:測定
クロックダウン	0	0	0	0	
クロックストップ	△	△	△	△	
リセットスタート	0	0	0	0	
DCバイパスモード	△	△	△	△	
リムアクト	0	0	0	0	
パワーオン	0	0	0	0	
パワーオフ	0	0	0	0	
ディスプレイリセット	0	0	0	0	
パワーリセットモード	0	0	0	0	

†印は電源がワードでなく個別ドライバでかかる。

[0090] ここで、図2の各項目を説明する。

[0091] クロックダウンは、CPU内のクロック周波数を格段に設定して周波数を下げる。クロックスループは、CPU内のクロックを停止させる(例えば、CPU内部からの1/O端子に相当する)。マシンスタートセーブは、CPU内の状態を一時記憶する。DCバイアスマードは、CPUの個別制御部PRが標準状態に入ることとP1/Oコントローラの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせて電源をコントロールし、SI/Oコントローラの電源をDCバイアスレベルにする。タイムアクトは、設定されたタイマ値に合わせているものであり、ここでは各1/Oコントローラ自身の構成や動作の説明を省略して、個別制御部PRに関することについて説明する。

[0092] これら1/Oコントローラは、一概によく知られているものであり、ここでは各1/OコントローラをコントロールしCPUの電源をDCバイアスマードにする。タイムアクトは、設定されたタイマ値に合わせ、CPUの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせて、CPUがDCバイアスマードに入る。ディスプレイリセットモード(DFMC)が1/Oコントローラとして動作する。

[0093] これらの1/Oコントローラは、CPUの個別制御部PRがP1/Oコントローラの個別制御部PRに含まれている。ディスプレイリセットモード(DFMC)が1/Oコントローラとして動作する。

[0094] また、SI/Oの個別制御部PRに含まれている各レジスタを説明する。

(8)

でコントロールされる。

[0095] コマンド・レジスター、データ・レジスターは、システム全体のデータ処理を行っており、主に通信コントロール用に用いられ、プロトコルによって同期や同步同期のリアル通信を行っている。

[0096] コマンド・レジスター、データ・レジスターには、個別制御部PRが個別制御部命令の命令やデータが複数2の各モードを実行処理するためにコード化されて入力されている。

[0097] データ・レジスターには、個別制御部PRが個別制御部命令の命令やデータが複数2の各モードを実行処理するためにコード化されて入力されている。

[0098] データ・レジスターには、個別制御部PRが個別制御部命令の命令やデータが複数2の各モードを実行処理するためにコード化されて入力されている。

[0099] データ・レジスターには、個別制御部命令の命令やデータが複数2の各モードを実行処理のためにコード化されて入力されている。

[0100] SI/Oコントローラの状態は、上達した5のシステム全体の状態と同様であるが、時間的に見ると異なる。

[0101] 解説は、システムが実行状態であっても、通報していないような状態では、SI/Oコントローラは待機中ということである。

[0102] 1次に、システムにおけるSI/Oコントローラの個別制御部PRが論理的に実行する物理的なパワーマネージメントを一例を表す。

[0103] これは、システムのアプリケーションによっても異なる。

[0104] ここで、図3の各項目を説明する。

[0105] クロックダウンは、SI/Oコントローラ内にクロック周波数を切換段階に設定して周波数を下げることを停止させる。マシンスタートセーブは、SI/Oコントローラ内のクロックストップは、SI/Oコントローラ内にクロック周波数を一度記憶する。DCバイアスモードは、SI/Oコントローラが標準状態に入ることをSI/Oコントローラの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせて電源をコントロールし、SI/Oコントローラの電源をDCバイアスレベルにする。タイムアクトは、設定されたタイマ値に合わせて、SI/Oコントローラの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせて、SI/OコントローラがDCバイアスマードに入る。

[0106] 通常では、相手と接続できないような通話中等のように、実行中でもタイムアクトになるとときがある。ディスプレイリセットモード(DFMC)が1/Oコントローラとして動作する。

[0107] 1次に、リアル・タイム・クロック(RTC)C)コントローラの個別制御部PRに含まれる各レジスタについて説明する。

[0108] コマンド・レジスタやデータ・レジスターには、個別制御部PRに接続する各モード(1次に、リアル・タイム・クロック(RTC)C)コントローラの個別制御部PRに接続する各モード)に接続する。

[0109] SI/Oコントローラの個別制御部PRに接続する各モード(1次に、リアル・タイム・クロック(RTC)C)コントローラの個別制御部PRに接続する各モード)に接続する。

[0110] このシステムは、個別制御部PRがパワーマネージメントを実行する。R/Tが個別制御部PRが個別制御部PRに接続する各モード(1次に、リアル・タイム・クロック(RTC)C)コントローラの個別制御部PRに接続する各モード)に接続する。

(11)

NTCは初期中ということもあり、システムの割込みが全て動作するから割込みがない限り静止している。

【0137】スペシャル・キー・SKによる割込みイベントは、ノン・マスクブルな割込みであり上述したように複数の割込みがある。

【0138】次に、システムの中で、各状態における!

図-6 INTcのコマネキーリソントモード(例)

	イニシタライズ	待機	実行	待機	△:選択
クロックダウン	○	△	○	○	△
クロックストップ	△	○	○	○	△
マシンシートモード	○	○	○	○	○
DCバイアスマード	△	○	○	○	△
リムアクト	△	△	○	○	△
ワーキング	○	○	○	○	△
ワーキング	○	○	○	○	△
ディスプレーワーキング	△	○	○	○	△
ハイドロワーカー	○	△	○	○	△

・印は選択モードでなく通常モードである。

【0140】ここで、表6の各項目を説明する。

【0141】クロックダウンは、INTC内のクロック周波数を初期段階に設定して周波数を下げる。クロックダウンは、INTC内のクロックを停止させる。マシンステートモードは、INTC内の状態を停止させる。DCバイアスマードは、システム中のデータをクロックダウンする。INTCの個別制御部PRに知らせるとCPUの個別制御部PRに知らせが、もし待避状態に入るとイベントであれば、INTCの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせたときに起動する。INTCの個別制御部PRに知らせたときに起動する。INTCの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせたときに起動する。INTCの個別制御部PRがP1/Oコントローラに入る。そうでなければCPUが割込み処理を行なう。タイムアラートは、INTCはタイマ機能をもたないが、システムのタイムアラートによる割込みを受付けてCPUの個別制御部PRに知らせ、待避状態に入りイベントであればINTCの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせ、INTCがDCバイアスマードに入る。ディスプレイバイオーバーは、INTCの個別制御部PRがP1/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。バックライトバイオーバーは、INTCの個別制御部PRがP1/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0142】次に、ダイレクト・メモリ・アクセス・コントローラ(DMAC)の個別制御部PRに含まれている各レジスタについて説明する。

【0143】DMACは、CPUとバス接続されており、CPUを介さないで、各メモリや各I/Oコントローラ(例えば、外部接続されているフラッシュメモリ)を直接アクセスできるコントローラであり、メモリ転送は、INTCの個別制御部PRがP1/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。バックライトバイオーバーは、INTCの個別制御部PRがP1/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0144】次に、システムの中での各状態におけるDMACの個別制御部PRが動作時であることを、データ・レジスタによって知ることができるので、FMCの個別制御部PRがP1/Oコントローラの個別制御部PRに知られて外部記憶装置(エクスナナル・メモリ)の電源を遮断することができる。

【0145】

(12)

図-7 DMACのバニヤキーリソントモード(例)

	イニシタライズ	待機	実行	待機	△:選択
クロックダウン	△	○	○	○	△
クロックストップ	○	○	○	○	△
マシンシートモード	○	○	○	○	△
DCバイアスマード	△	○	○	○	△
リムアクト	△	△	○	○	△
ワーキング	○	○	○	○	△
ワーキング	○	○	○	○	△
ディスプレーワーキング	△	○	○	○	△
ハイドロワーカー	○	△	○	○	△

・印は選択モードでなく通常モードである。

【0150】ここで、表7の各項目を説明する。
【0151】クロックダウンは、DMAC内のクロック周波数を初期段階に設定して周波数を下げる。クロックストップは、DMAC内のクロックを停止させる。マシンステートモードは、DMAC内の状態を一時記憶する。DCバイアスマードは、DMACが待避状態に入ることを、個別制御部PRがP1/Oコントローラの個別制御部PRに知らせて電源をコントロールし、DMACの電源をDCバイアスマードにする。タイムアラートは、DMACはタイマ機能をもたないが、システムの中でデータによる待避イベントがあれば、DMACの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせてDMACはDCバイアスマードにする。タイムアラートは、DMACの個別制御部PRから入力されるマイクローダは、ディスプレイPRがP1/Oコントローラに入る。ディスプレイオーフは、DMACの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせて電源をコントロールするためには使われる。

【0152】電源のコントロールはFMCの個別制御部PRがP1/Oコントローラの個別制御部PRに要求を出して行なわれる。
【0153】FMCは、CPUとバス接続されており、ハイドロモードは、INTCの個別制御部PRにP1/Oコントローラの個別制御部PRにバスクライトの電源を供給することを要求して遮断する。
【0154】次に、フランク・メモリ・コントローラ(FMC)の個別制御部PRに含まれている各レジスタについて説明する。
【0155】FMCがコントロールするフランク・メモリは、動作中は、電力消費があつても、非動作時は全く電力が消費もなく、電源を供給しなくても記憶されているデータは保持されるので、メモリに対しては、いつでもパワーを遮断することができます。FMCが実行状態であつても、FMCは物理的に対応するが、外部メモリに對しては、リード要求やライト要求を出して、外部メモリからデータをリードしたり、外部メモリへライトするので、リードやライト要求がない限り待機状態になる。

【0156】次に、システムの中で、各状態におけるFMCの個別制御部PRが動作するが、四角印に見ると変化は異なる。例えば、システムが実行状態であつても、FMCは物理的に対応するが、外部メモリに對しては、リード要求やライト要求を出して、外部メモリからデータをリードしたり、外部メモリへライトするので、リードやライト要求がない限り待機状態になる。
【0157】FMCの個別制御部PRがP1/Oコントローラの個別制御部PRに表示の電源をコントロールするときも同じである。システムが実行状態であつても、FMCが物理的に対応するが、外部メモリに對しては、リード要求やライト要求を出して、外部メモリからデータをリードしたり、外部メモリへライトするので、リードやライト要求がない限り待機状態になる。

【0158】FMCの個別制御部PRがP1/Oコントローラの個別制御部PRに表示の電源をコントロールするときも同じである。システムが実行状態であつても、FMCが物理的に対応するが、外部メモリに對しては、リード要求やライト要求を出して、外部メモリからデータをリードしたり、外部メモリへライトするので、リードやライト要求がない限り待機状態になる。

【0159】FMCの状態の移り変わりは、図5のシステム全体の状態と同様であるが、四角印に見ると変化は異なる。例えば、システムが実行状態であつても、FMCは物理的に対応するが、外部メモリに對しては、リード要求やライト要求を出して、外部メモリからデータをリードしたり、外部メモリへライトするので、リードやライト要求がない限り待機状態になる。

【0160】次に、システムの中で、各状態におけるFMCの個別制御部PRが動作するが、各状態におけるFMCの個別制御部PRが動作するが、外部メモリに実行する命令がなれば、システムの個別制御部PRがP1/Oコントローラの個別制御部PRがP1/Oコントローラの個別制御部PRに知らせて外部記憶装置(エクスナナル・メモリ)の電源を遮断することができる。

【0161】

【0162】

【0163】コマンド・レジスタやデータ・レジスタには、個別制御部PR

(17)

P/I/O COMMAND PRESENTATION POWER・RESET POINTS

命令名	命令内容	結果	WA
クロック・オン	CR201ビットB CR2(1) 1 0		
クロック・オフ	CR202ビットB CR2(2) 1 0		
タイマー・カウト	CR203ビットB CR2(3) 0 x		
外部 OUT(0)	CR204ビットB CR2(4) 0 0		
DCバッテリ-ヤ	CR205ビットB CR2(5) 1 0		
パワー・ナフ	CR206ビットB CR2(6) 1 0		
タイマブレーカー・パワーオフ	CR207ビットB CR2(7) 1 0		
パラライズ	CR208ビットB CR2(8) 1 0		
パワー・オフ	CR101ビットB CR1(1) 0 0		
スピ-アゲン	CR102ビットB CR1(2) 1 0		
スピ-アゲン	CR103ビットB CR1(3) 1 0		
外部 OUT(1)	CR104ビットB CR1(4) 0 x		
	CR105ビットB CR1(5) 0 x		
	CR106ビットB CR1(6) 0 x		
	CR107ビットB CR1(7) 0 x		
	CR108ビットB CR1(8) 0 x		

[0225] 表12は、表11に示した図1のコマンド
レジスタの構成内容を示す。

コマンド・レジスタCR (8ビット×2本)
(パワー・オン時に予め、プログラムで命令をセットしておく)

8	7	6	5	4	3	2	1	CR2
8	7	6	5	4	3	2	1	CR1

[0227] 表13は、図1のステイタス・レジスタの
構成内容を示す。

ステイタス・レジスタSR (8ビット×2本)

(18)

SW3	SW2	SW1	W1	W2	SW1	SW1	SW1	SW1
SW1								

SW3, SW2, SW1 : システムの状態を示す

W1 : マスター (主) とスレーブ (従) のスイッチ・フラグ
SW1 (Rキーへか) : Non Maskable Interrupt (マスクできない割り込み)

SW1 ～SW1 : System Management Interface (システム管理による割り込み)

[0229] 表14は、表13に示した状態を表すSW
3, SW2, 及SW1の具体的な内容を示す。

SW3	SW2	SW1	合計バイスの状態
0	0	0	4ニシティライズ状態
0	0	1	待機状態
0	1	0	待機状態
1	0	1	実行状態
1	1	1	未定義 (定義不可能)
1	1	1	

[0230] 表15は、表13に示したSW1～SW1のス
イッチ・ロジックを示す。

[表14]

[表15]

(19)

種類	構成/他のスイッチ・ロジック
SW 1	VDCのON
SW 1	PMCのON
SW 3	S1/O(1)のON
SW 4	DMAのON
SW 5	INTCのON
SW 4	CTCのON
SW 1	RTCのON
SW 4	PI/OのON
SW 9	S1/O(1)のON
SW 10	KBCのON
SW 11	CPUのON

【0233】表16は、図1のコントロール・レジスタの構成内容を示す。

[0234]

【表16】
コントロール・レジスタCLR(8ビット×23)

CLR1のプログラムセッタ							
8	7	6	5	4	3	2	1
CLR2のロード・ダウン	CLR2	CLR1	CLR1	CLR1	CLR1	CLR1	CLR1

*これらの値は、プログラムでセッタです。

(20)

	クロック・ダウン
CLR2の1ビット目がセット	1/4倍
CLR2の2ビット目がセット	1/8倍
CLR2の3ビット目がセット	1/16倍
CLR2の4ビット目がセット	1/32倍
CLR2の5ビット目がセット	1/64倍
CLR2の6ビット目がセット	1/128倍
CLR2の7ビット目がセット	1/256倍
CLR2の8ビット目がセット	1/512倍

	スピード・ダウン
CLR2の1ビット目がセット	スピード・ダウン
CLR2の2ビット目がセット	スピード・フル
CLR2の3ビット目がセット	スピード・フル

【0238】表19及び表20は、図1のデータ・レジスターの構成内容及び具体的な命令内容をそれぞれ示す。

[0239]

[表19]

(21)

データ・レジスタDR (8ビット×2本)
(各ビットのフラグのセレクタはプログラムで行い、
このデータをバーチ・コントロルポートに出力する。)

8	7	6	5	4	3	2	1	DR2
8	7	6	5	4	3	2	1	DR1

[0240]

◆端子名	◆端子説明
VDCφ/ワード・コントロール	DR1010ビット18
FMCφ/ワード・コントロール	DR1010ビット17
S1/O (1) ● アガード・コントロール	DR1009ビット18
DNAφ/ワード・コントロール	DR1004ビット18
INTφ/ワード・コントロール	DR1003ビット18
RTCφ/ワード・コントロール	DR1002ビット18 バーコントローラフラグ
RTCφ/ワード・コントロール	DR101ビット18
P1/Oφ/ワード・コントロール	DR100ビット18
S1/O (1) ● アガード・コントロール	DR201ビット18
KBCφ/ワード・コントロール	DR200ビット18
CPUφ/ワード・コントロール	DR200ビット18
ディスプレイ・パワーバード	DR204ビット18
パワーナイト・パワーバード	DR203ビット18 バーコントローラフラグ
パワーバード	DR202ビット18
パワーバード	DR201ビット18
ディスプレイ・パワーバード	DR200ビット18

(22)

別個脚部PRをイニシャライズ状態に設定し (ステップS3)、イニシャライズが終了したか否かを判定し (ステップS4)、上記ステップS4でイニシャライズが終了していない (NO) と判定された場合は、スペシャル・キー (SKキー) の断込みがあったか否かを判定し (ステップS5)、上記ステップS5でSKキーの断込みがない (NO) と判定された場合は、上記ステップS5を実行し、上記ステップS5でSKキーの断込みがあった (YES) と判定された場合は、"マスクできない" (Non-Maskable Interrupt)、以下、NMIと称する) を1にセットすると共に、マスター/スレーブのフラグ (以下、M/Sと称する) も同時に1にセットし (ステップS6)、システムの状態を表すSM3を0、SM2を1、及びSM1を0にそれぞれセットして (ステップS7)、"待機状態" (段14参照) を形成し (ステップS8)、処理1を実行する (ステップS9)。

[0240] ここで、図23を参照して、処理1の内容を説明する。
[0245] 図23に示すように、処理1では、コマンド・レジスタCR2の2番目のビットCR2(2)が1であるか否か (即ちクロックをコントロールするか否か) を判定し (ステップS91)、上記ステップS91でコマンド・レジスタCR2(2)が1である (YES) の場合、レジスタCLR2の2番目 (即ちクロックをコントロールする) と判定された場合には、コントロール・レジスタCLR2(2)を1にセットして (ステップS92)、クロック・ダウン値を1/8倍 (段17参照) にセットして処理を終了する (ステップS93)。また、上記ステップS91でコマンド・レジスタCR2(2)が1でない (NO) と判定された場合には、処理を終了する。

[0246] 図20に戻って、処理1を終了したらば、再USKキーの断込みがあったか否かを判定し (ステップS10)、上記ステップS10でSKキーの断込みがない (NO) と判定された場合は、上記ステップS8の"待機状態"に戻り、上記ステップS10でSKキーの断込みがあった (YES) と判定された場合には、NM1/RUM/Sをそれぞれ0にリセットし (ステップS11)、SM3、SM2、及USM1を0に、コントロール・レジスタCLRを0000にセレクトして (ステップS12)、上記ステップS3に戻る。

[0247] 続いて、図20及び図21に示すように、上記ステップS4でイニシャライズが終了した (YES) の場合、上記ステップS4でイニシャライズが終了した (YES) と判定された場合は、SM3を0、SM2を0、SM1を1にそれぞれセットして (ステップS13)、SM1を1にそれぞれセットして (ステップS14)、"待機状態"が形成され (ステップS15)、SKキーの断込みがあったか否かを判定し (ステップS16)、データ・レジスタDRの内容を第1ポートに出力して (ステップS17)、上記ステップS14に戻る。

[0248] ここで、図24を参照して、処理2の内容を説明する。
[0249] 図24に示すように、処理2では、コマンド・レジスタCR2の6番目のビットCR2(6)が1であるか否か (即ち、パワーをオフするか否か) を判定し (ステップS19)、上記ステップS19でコマンド・レジスタCR2(6)が1である (YES) (即ちパワーをオフする) と判定された場合には、データ・レジスタDR2の4番目のビットDR2(4)を1にセットし (ステップS192)、ディスプレイ・パワーをオフ (段20参照) して (ステップS193)、データ・レジスタDR2の5番目のビットDR2(5)を1にセットし (ステップS194)、バック・ライトセオフ (段20参照) する (ステップS195)。

[0250] 続いて、コマンド・レジスタCR2の5番目のビットCR2(5)が1であるか否か (即ち、DCバイアス・モードか否か) を判定し (ステップS196)、上記ステップS196でコマンド・レジスタCR2(5)が1である (YES) (即ちDCバイアス・モードである) と判定された場合には、データ・レジスタDRを1FFFにセットし (ステップS197)、データ・レジスタDRの内容を第1ポートに出力して (ステップS198)、DCバイアス・モードを形成する (ステップS199)。

[0251] 更に、コマンド・レジスタCR2の2番目のビットCR2(2)が1であるか否か (即ち、クロック・コントロールか否か) を判定し (ステップS191)、上記ステップS191でコマンド・レジスタCR2(2)が1である (YES) (即ちクロック・コントロールである) と判定された場合には、コントロール・レジスタCLR2(8)を0にセレクトし (ステップS192)、クロック・ダウン値を1/8倍 (段17参照) にセットして処理を終了する (ステップS193)。また、上記ステップS91でコマンド・レジスタCR2(2)が1でない (NO) と判定された場合には、処理を終了する。

[0252] 図21に戻って、処理2を終したならば、再USKキーの断込みがあったか否かを判定し (ステップS20)、上記ステップS20でSKキーの断込みがあった (YES) の場合、コントロール・レジスタCLRを0000にリセットし (ステップS21)、SM3及USM2を0に、SM1を1に、コントロール・レジスタCLRを0000に、データ・レジスタDRを0000にセレクトして (ステップS22)、0000にそれぞれセットして (ステップS23)、データ・レジスタDRの内容を第1ポートに出力して (ステップS23)、上記ステップS14に戻る。

[0241] 次に、図20は、多様なパワー・マネジメント命令がある中での一例である。また各レジスタの構成内容も多様である中での一例である。
[0242] 次に、上記段11～段20、及び図20～図22のフローチャートをそれぞれ参照して、図1に示すP1/Oの個別脚部PRのパワー・マネージメントP1/Oの動作がシステムアブリケーションによって種々ある中で、その一例を説明する。
[0243] まず、図9に示す並列入出力コントローラ(P1/O)を構成しているコマンド・レジスタ、第1ポート～第4ポート、第1グループ・コントロール、及第2グループ・コントロールをそれぞれ初期化 (イニシャライズ) して (ステップS1)、図1のP1/Oの個別脚部PRを構成しているコマンド・レジスタCRをF306にセットすると共に、ディスプレイ・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ0000 (各数値はhexadecimalを表す) にセットして (ステップS2)、P1/Oの操作

(23)

[0 2 5 3] また、上記ステップS 2 0でSKキーの鍵込がない(NO)と判定された場合は、コマンド・レジスタDR1の1番目のピットCR1 (1)が1である、データ・キー(即ち、パワー・オンか否か)を判定し(ステップS 2 4)、上記ステップS 2 4でCR1 (1)が1でない(NO)と判定された場合は、上記ステップS 1 8に限り、他方、上記ステップS 2 4でCR1 (1)が1である(YES)と判定された場合は、データ・レジスタDR1の5番目のピットDR1 (6)を1にセト(即ち、INTCのパワー・コントロールをオン)し(ステップS 2 5)、上記ステップS 2 1 5)、上記ステップS 2 4でCR1 (1)が1でない(NO)と判定された場合は、D R1 (5)を0にセトする(ステップS 2 1 6)。

[0 2 6 4] 上記ステップS 1 5でSKキーの鍵込がない(NO)と判定された場合は、データ・レジスタDR1の8番目のピットDR2 (8)を1にセト(即ち、ディスプレイ/バックライト)し(ステップS 2 6)、ディスプレイ/バックライトをオンにして(ステップS 2 6)、上記ステップS 1 8に戻る。

[0 2 6 5] ここで、図2 5を参照して、処理3を説明する。

[0 2 6 6] 図2 5に示すように、処理3では、M/Sを1にセトし(ステップS 2 7 1)、“システム管理による割込”(System Management Interrupt)(以下、SMIと称す)のSM11が1であるか否かを判定し(ステップS 2 7 2)、上記ステップS 2 7 2でSM11が1である(YES)と判定された場合は、データ・レジスタDR1の1番目のピットDR1 (1)を1にセト(即ち、RTCのパワー・コントロールをオフ)し(ステップS 2 7 3)、上記ステップS 2 7 2でSM11が1でない(NO)と判定された場合は、D R1 (1)を0にセトする(ステップS 2 7 4)。

[0 2 6 7] 続いて、SM12が1であるか否かを判定し(ステップS 2 7 5)、上記ステップS 2 7 5でSM12が1である(YES)と判定された場合は、データ・レジスタDR1の2番目のピットDR1 (2)を1にセト(即ち、FMCのパワー・コントロールをオフ)し(ステップS 2 7 6)、上記ステップS 2 7 5でSM12が1でない(NO)と判定された場合は、D R1 (2)を0にセトする(ステップS 2 7 7)。

[0 2 6 8] 以下、SM13が1である(YES)と判定された場合は、DR2 (1)を0にセト(即ち、S1/O (1)のパワー・コントロールをオフ)し(ステップS 2 7 8)、上記ステップS 2 7 5でSM13が1である(YES)と判定された場合は、データ・レジスタDR1の3番目のピットDR1 (3)を1にセト(即ち、S1/O (1)のパワー・コントロールをオン)し(ステップS 2 7 9)、上記ステップS 2 7 8でSM13が1でない(NO)と判定された場合は、DR1 (3)を0にセトする(ステップS 2 7 10)。

[0 2 6 9] 同様に、SM14が1であるか否かを判定し(ステップS 2 7 1 1)、上記ステップS 2 7 1 1でSM14が1である(YES)と判定された場合は、データ・レジスタDR1の4番目のピットDR1 (4)を1にセト(即ち、CPUのパワー・コントロールをオフ)し(ステップS 2 7 1 2)、上記ステップS 2 7 1 1でCR2 (8)が1である(YES)と判定された場合は、データ・レジスタDR2の5番目のピットDR2 (5)を0にセトし(ステップS 4 1 1)。これらデータ・レジスタDR2の内容をP1/0の第1ゴードに出力して(ステップS 2 7 3 2)、DCバイアス・モードを設定する(ステップS 2 7 3 3)。即ち、処理3では、SM1の要求があつたデバイスのパワーをコントロールする。

[0 2 6 6] 図2 1に戻って、処理3を終了したら、実行イベントがあるか否かを判定し(ステップS 2 8)、上記ステップS 2 8で実行イベントがない(N O)と判定された場合は、コマンド・レジスタCR2の1番目のピットCR2 (1)が1であるか否かを判定し(ステップS 4 1 1)、上記ステップS 4 1 1でCR2 (1)が1である(YES)と判定された場合は、コマンド・レジスタCLR2の2番目のピットCLR2 (1)が1であるか否かを判定し(ステップS 4 1 2)、上記ステップS 4 1 2でCLR2 (1)が1である(YES)と判定された場合は、データ・レジスタDRを1FFFにセトし(ステップS 4 1 8)、データ・レジスタDRの内容を第1ゴードに出力し(ステップS 4 1 9)、DCバイアス・モードを設定し(ステップS 4 1 10)、コマンド・レジスタCR2の1番目のピットCR2 (1)が1であるか否かを判定し(ステップS 4 1 11)、上記ステップS 4 1 1でCR2 (1)が1である(YES)と判定された場合は、コマンド・レジスタCLR2の2番目のピットCLR2 (1)が1であるか否かを判定し(ステップS 4 1 12)、クロック・ダウン値をノブ倍に設定する(ステップS 4 1 13)。

[0 2 7 0] 図2 2に戻って、処理4を実行したならば、USB SKキーの情報があつたか否かを判定し(ステップS 4 2)、上記ステップS 4 2でSKキーの情報を(即ち、USB SKキーの情報)は、NM1 & NM2 & Sをそれぞれ0にリセト(ステップS 4 3)、コントロール・レジスタCLRを0000に、データ・レジスタDRを0000にそれぞれ0 0000にリセトして(ステップS 4 4)、上記ステップS 3 3に戻る。また、上記ステップS 4 2でSKキーの読み込みがない(N O)と判定された場合は、上記ステップS 3 3に戻る。

[0 2 7 1] 上記ステップS 3 3で、SKキーの読み込みが1/12倍に設定する(ステップS 3 1)。

[0 2 6 7] 一方、上記ステップS 2 8で実行イベントがある(YES)と判定された場合は、スティラス・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ0 0000にセトすると同時に、M/Sを0にセトし(ステップS 3 2)、データ・レジスタDRの内容を第1ゴードに出力し(ステップS 3 3)、SM3を0に、SM2を1に、SM1を1にそれぞれセトし(ステップS 3 4)。実行状態を形成し(ステップS 3 5)、プリント命令があるか否かを判定し(ステップS 3 6)、上記ステップS 3 6でプリント命令がない(N O)と判定された場合は、SKキーの読み込みが1/12倍に設定する(ステップS 3 7)、上記ステップS 3 7でSKキーの読み込みが1/12倍に設定する(ステップS 3 8)、SM3を0に、SM2を1に、そしてSM1を0にセトして(ステップS 3 9)、待機状態を形成して(ステップS 4 0)、処理4を実行する(ステップS 4 1)。

[0 2 6 8] ここで、図2 6を参照して、処理4を説明する。

[0 2 6 9] 図2 6の処理4では、コマンド・レジスタCR2の7番目のピットCR2 (7)が1であるか否かを判定し(ステップS 4 1 1)、上記ステップS 4 1 1を1にセト(即ち、VDCのパワー・コントロールをオン)し(ステップS 4 1 2)、上記ステップS 4 1 2でSM11が1でない(NO)と判定された場合は、データ・レジスタDR2の4番目のピットDR2 (1)を1にセト(即ち、RTCのパワー・コントロールをオフ)し(ステップS 2 7 2)、上記ステップS 2 7 2でSM11が1である(YES)と判定された場合は、データ・レジスタDR2の2番目のピットDR2 (2)を1にセト(即ち、S1/O (1)のパワー・コントロールをオフ)し(ステップS 2 7 3)、上記ステップS 2 7 3でSM11が1でない(NO)と判定された場合は、データ・レジスタDR2の3番目のピットDR2 (3)を1にセト(即ち、FMCのパワー・コントロールをオフ)し(ステップS 2 7 4)、上記ステップS 2 7 4でSM11が1である(YES)と判定された場合は、データ・レジスタDR2の4番目のピットDR2 (4)を1にセト(即ち、KBCのパワー・コントロールをオフ)し(ステップS 2 7 5)、上記ステップS 2 7 5でSM11が1である(YES)と判定された場合は、データ・レジスタDR1の3番目のピットDR1 (3)を1にセト(即ち、S1/O (1)のパワー・コントロールをオフ)し(ステップS 2 7 6)、上記ステップS 2 7 6でSM11が1である(YES)と判定された場合は、データ・レジスタDR1の4番目のピットDR1 (4)を1にセト(即ち、CPUのパワー・コントロールをオフ)し(ステップS 2 7 7)、上記ステップS 2 7 7でSM11が1である(YES)と判定された場合は、データ・レジスタDR1の5番目のピットDR1 (5)を1にセト(即ち、DMAのパワー・コントロールをオフ)し(ステップS 2 7 8)。

[0 2 6 10] 更に、SM11が1であるか否かを判定し(ステップS 2 7 9)、上記ステップS 2 7 9でSM11が1である(YES)と判定された場合は、データ・レジスタDR2の2番目のピットDR2 (2)を1にセト(即ち、FMCのパワー・コントロールをオフ)し(ステップS 4 5 6)、上記ステップS 4 5 6でSM12が1である(YES)と判定された場合は、データ・レジスタDR1の2番目のピットDR1 (2)を1にセト(即ち、FMCのパワー・コントロールをオフ)し(ステップS 4 5 7)、上記ステップS 4 5 7でSM12が1である(YES)と判定された場合は、データ・レジスタDR1の3番目のピットDR1 (3)を1にセト(即ち、CPUのパワー・コントロールをオフ)し(ステップS 4 5 8)。

(24)

[0 2 6 11] 同様に、SM14が1であるか否かを判定し(ステップS 2 7 1 1)、上記ステップS 2 7 1 1でSM14が1である(YES)と判定された場合は、データ・レジスタDR1の4番目のピットDR1 (4)を1にセト(即ち、DMAのパワー・コントロールをオフ)し(ステップS 2 7 1 2)、上記ステップS 2 7 1 2でCR2 (5)を0にセトする(ステップS 4 1 1)。これらデータ・レジスタDR2の5番目のピットDR2 (5)を0にセトし(ステップS 4 1 2)、上記ステップS 4 1 2でCR2 (5)が1である(YES)と判定された場合は、データ・レジスタCLR2の1番目のピットCLR2 (1)が1であるか否かを判定し(ステップS 4 1 3)。

[0 2 6 12] ここで、図2 7を参照して、処理5を説明する。

[0 2 7 3] 図2 7の処理5では、M/Sを1にセト(即ち、VDCのパワー・コントロールをオン)し(ステップS 4 5 3)、上記ステップS 4 5 3でSM12が1である(YES)と判定された場合は、データ・レジスタDR1の2番目のピットDR1 (2)を1にセト(即ち、FMCのパワー・コントロールをオフ)し(ステップS 4 5 4)。

[0 2 7 4] SM12が1であるか否かを判定し(ステップS 4 5 5)、上記ステップS 4 5 5でSM12が1である(YES)と判定された場合は、データ・レジスタDR1の1番目のピットDR1 (1)を0にセト(即ち、VDCのパワー・コントロールをオフ)し(ステップS 4 5 6)。

[0 2 7 5] 図2 7で、図2 7を参照して、処理6を説明する。

[0 2 7 6] ここで、図2 6を参照して、処理4を説明する。

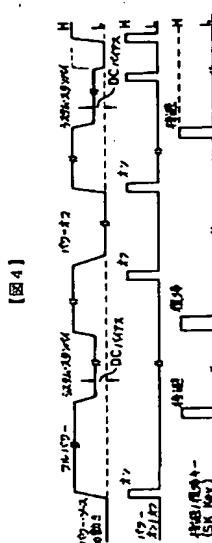
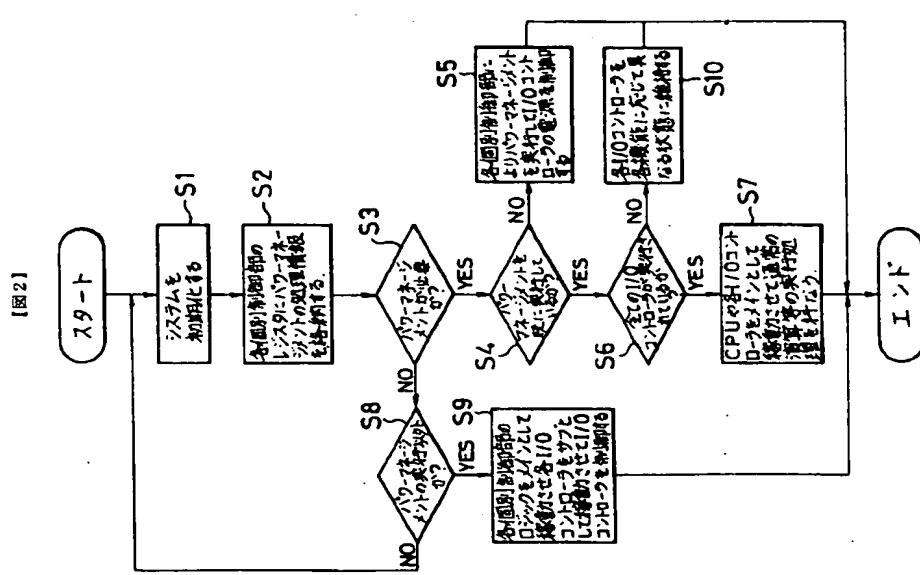
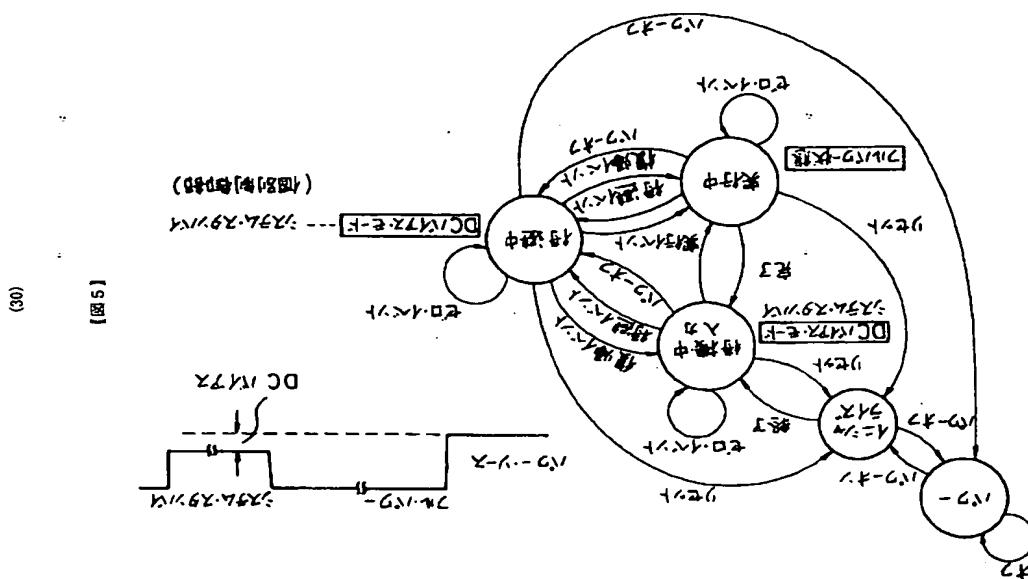
[0 2 6 13] 図2 6の処理4では、コマンド・レジスタCR2の4番目のピットDR2 (4)を1にセト(即ち、S1/O (1)のパワー・コントロールをオフ)し(ステップS 3 4)、実行状態を形成し(ステップS 3 5)、プリント命令があるか否かを判定し(ステップS 3 6)、上記ステップS 3 6でプリント命令がない(N O)と判定された場合は、SKキーの読み込みが1/12倍に設定する(ステップS 3 7)、上記ステップS 3 7でSKキーの読み込みが1/12倍に設定する(ステップS 3 8)、SM3を0に、SM2を1に、そしてSM1を0にセトして(ステップS 3 9)、待機状態を形成して(ステップS 4 0)、処理4を実行する(ステップS 4 1)。

[0 2 6 14] ここで、図2 6を参照して、処理4を説明する。

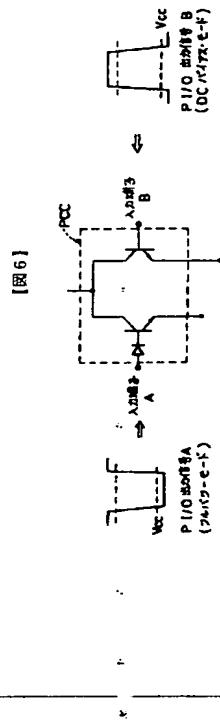
[0 2 6 15] 図2 6の処理4では、コマンド・レジスタCR2の7番目のピットCR2 (7)が1であるか否かを判定し(ステップS 4 1 1)、上記ステップS 4 1 1を1にセト(即ち、VDCのパワー・コントロールをオフ)し(ステップS 4 1 2)、上記ステップS 4 1 2でSM11が1でない(NO)と判定された場合は、データ・レジスタDR2の2番目のピットDR2 (2)を1にセト(即ち、KBCのパワー・コントロールをオフ)し(ステップS 2 7 2)、上記ステップS 2 7 2でSM11が1である(YES)と判定された場合は、データ・レジスタDR2の3番目のピットDR2 (3)を1にセト(即ち、FMCのパワー・コントロールをオフ)し(ステップS 2 7 4)、上記ステップS 2 7 4でSM11が1である(YES)と判定された場合は、データ・レジスタDR1の2番目のピットDR1 (2)を1にセト(即ち、FMCのパワー・コントロールをオフ)し(ステップS 2 7 5)。

[0 2 6 16] 更に、SM10が1であるか否かを判定し(ステップS 2 7 6)、上記ステップS 2 7 6でSM10が1である(YES)と判定された場合は、データ・レジスタDR1の3番目のピットDR1 (3)を1にセト(即ち、S1/O (1)のパワー・コントロールをオフ)し(ステップS 2 7 7)、上記ステップS 2 7 7でSM10が1である(YES)と判定された場合は、データ・レジスタDR1の4番目のピットDR1 (4)を1にセト(即ち、CPUのパワー・コントロールをオフ)し(ステップS 2 7 8)。

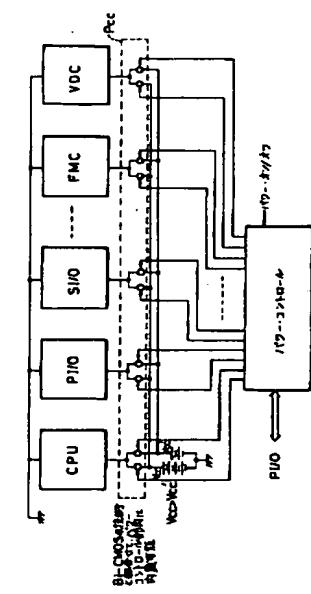
[0 2 6 17] 同様に、SM11が1であるか否かを判定し(ステップS 2 7 9)、上記ステップS 2 7 9でSM11が1である(YES)と判定された場合は、データ・レジスタDR2の4番目のピットDR2 (4)を1にセト(即ち、CPUのパワー・コントロールをオフ)し(ステップS 2 7 10)。



(31)

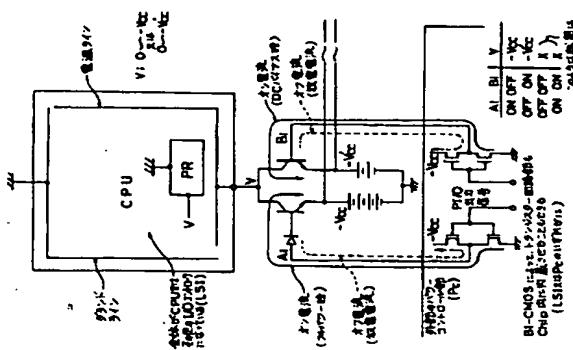


【図7】

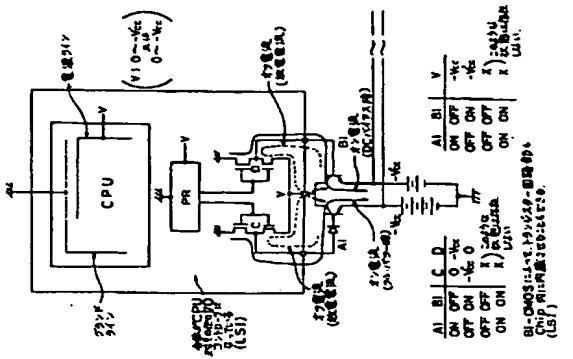


(32)

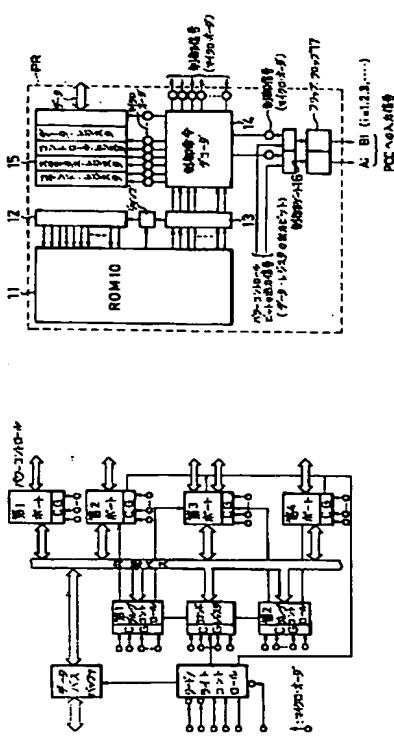
【図8】



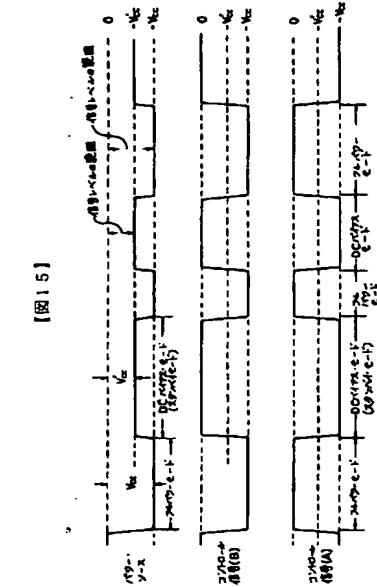
【図9】



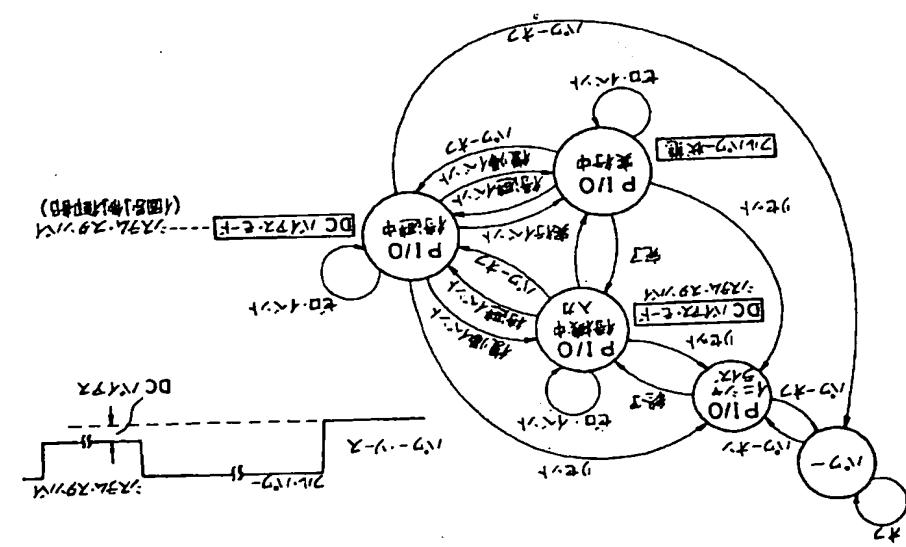
【図15】



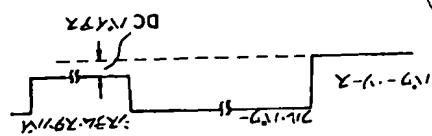
【図16】



33

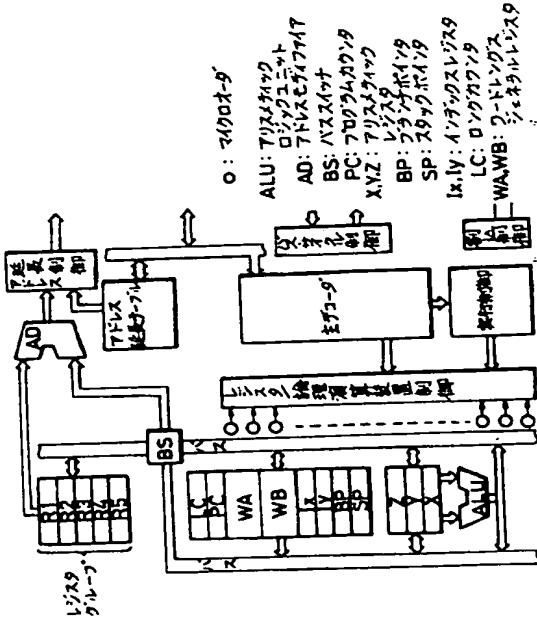


11

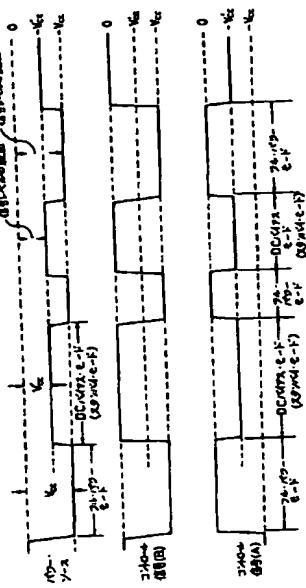


34

四二一

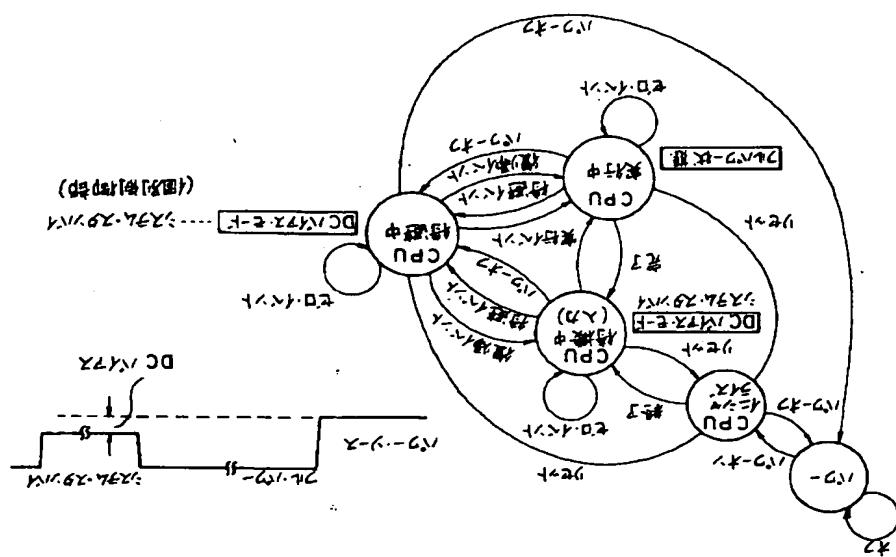


四百一



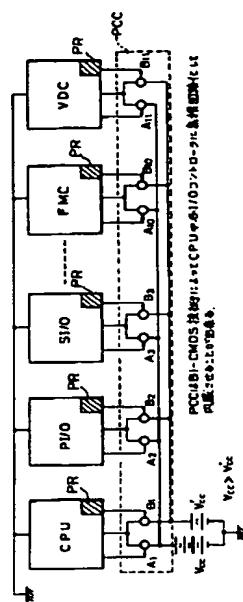
(35)

[図14]

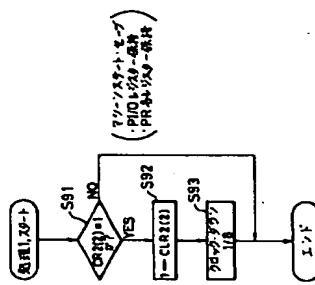


(36)

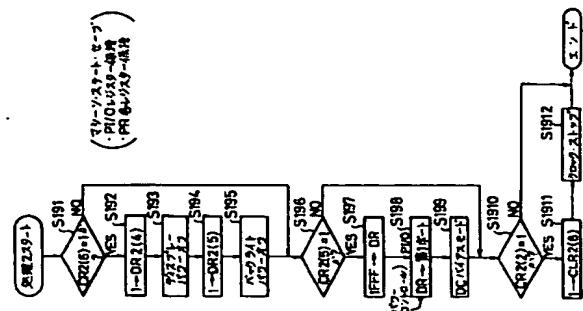
[図18]



[図23]



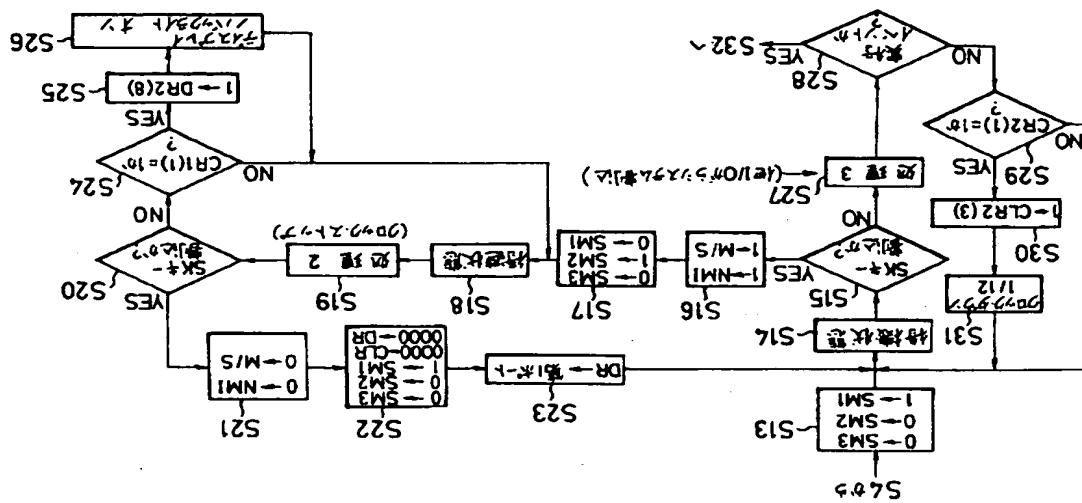
[図24]



[図21]

(38)

[図2-1]

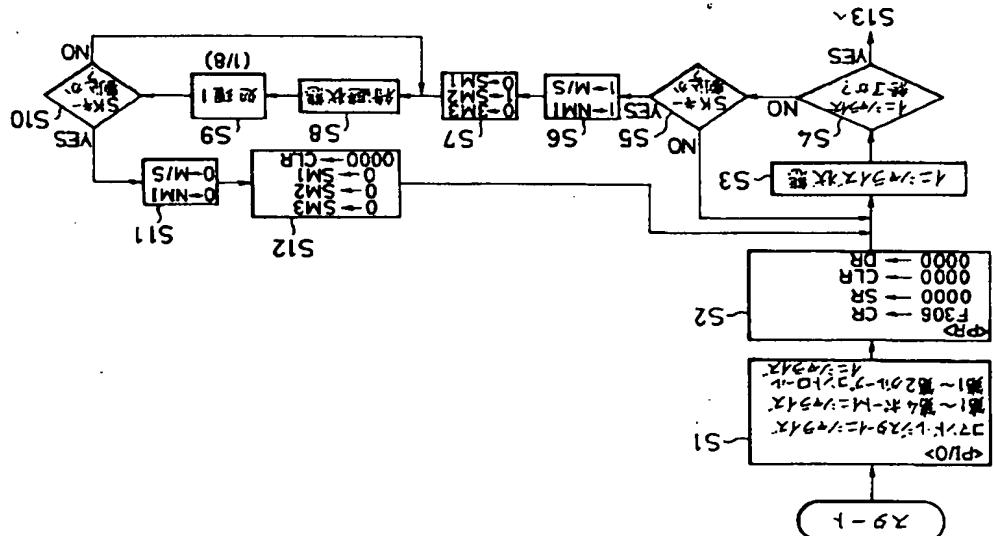


0000-312583

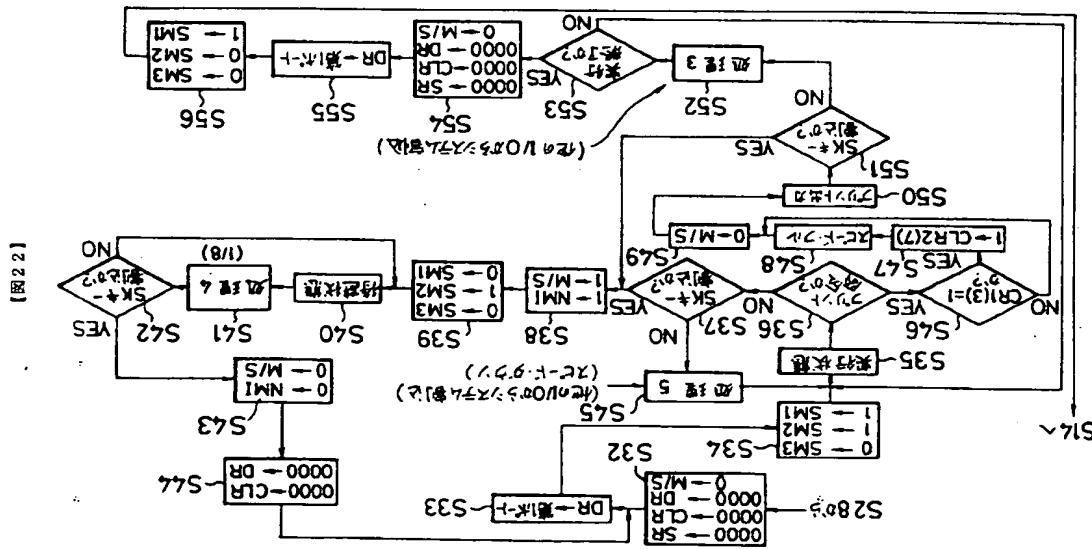
0000-312583

(37)

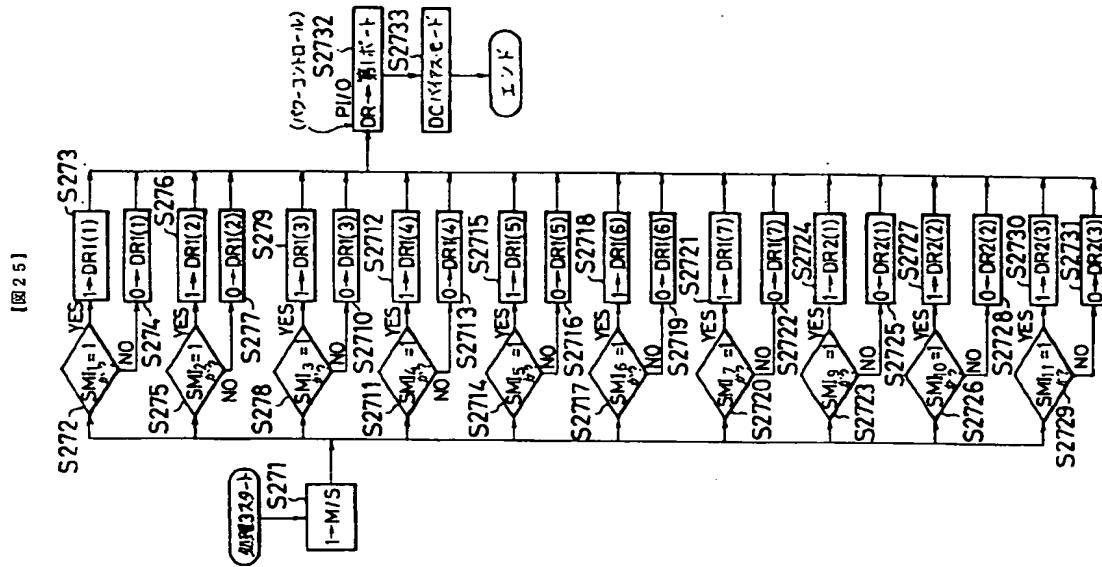
[図2-0]



(39)



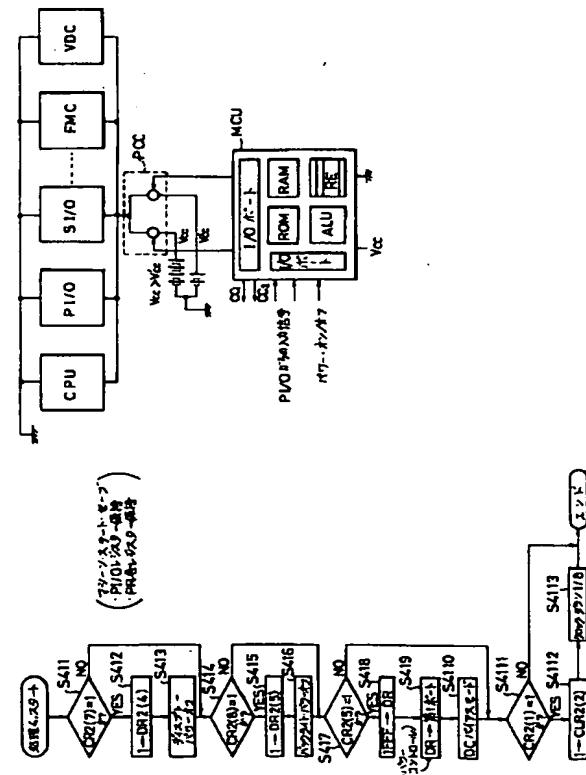
(40)



(42)

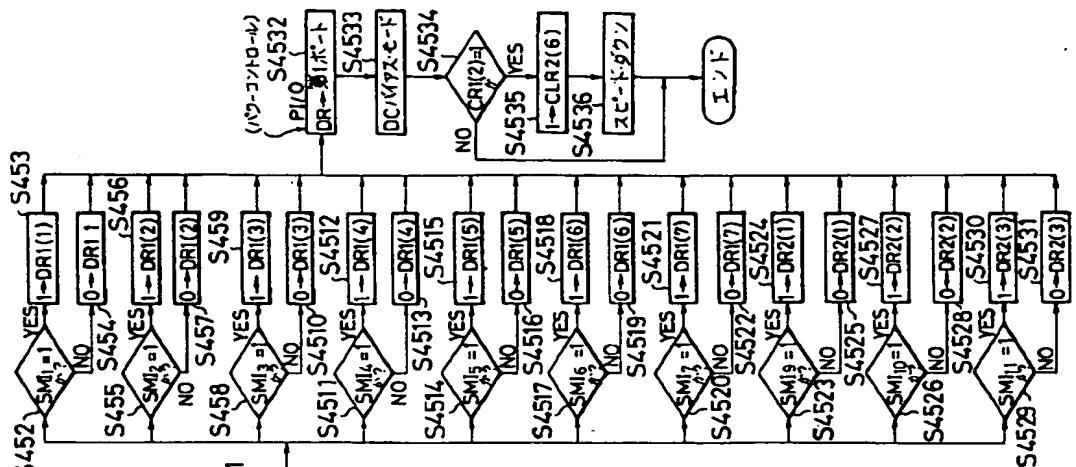


四三七



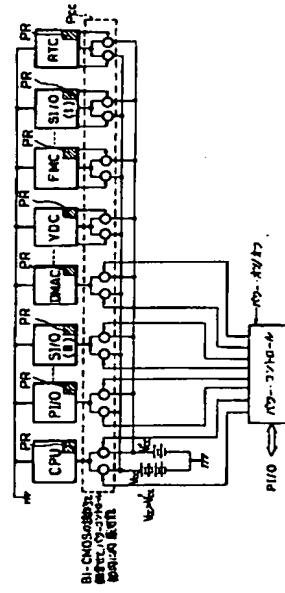
1261

301



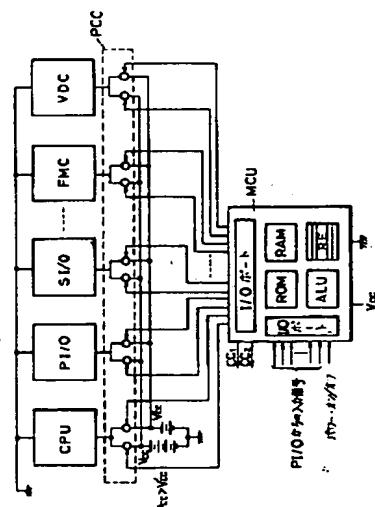
[图27]

182

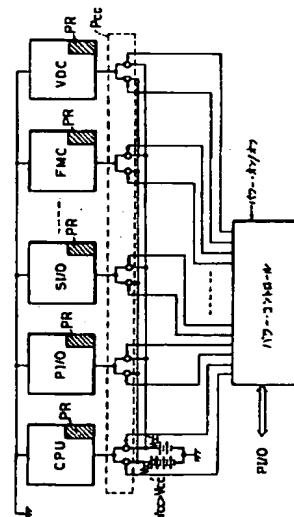


(43)

【図2.9】



【図3.1】



(44)

【補正対象項目名】0305

【補正方法】変更

【補正内容】

[0305] 図3.1の構成による動作は、図7の構成による動作と多少異なるが、CPU等がそれぞれ個別制御部PRを持つ図3の構成による動作と同様なので、ここでは説明を省略する。図3.4は、図3に示されるシステムを図3.1に示すようにパワーコントロールポートやパワー制御を行いうるようにしたものである。

【手続補正4】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正5】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【手続補正6】

【補正対象部品名】明細書

【補正対象項目名】図3.4

【手続補正7】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正8】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正9】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正10】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正11】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正12】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正13】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正14】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正15】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正16】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正17】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正18】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正19】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正20】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正21】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正22】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正23】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正24】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正25】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正26】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正27】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正28】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正29】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正30】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正31】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正32】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正33】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正34】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正35】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正36】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正37】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正38】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正39】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正40】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正41】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正42】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正43】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正44】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正45】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正46】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正47】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正48】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正49】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正50】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正51】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正52】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正53】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正54】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正55】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正56】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正57】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正58】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正59】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正60】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正61】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正62】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正63】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正64】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正65】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正66】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正67】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正68】

【補正対象部品名】明細書

【補正対象項目名】図3.1

【補正方法】追加

【手続補正69】

【補正対象部品名】明細書

【補正対象項目名】図3.2

【補正方法】追加

【手続補正70】

【補正対象部品名】明細書

【補正対象項目名】図3.3

【補正方法】追加

【手続補正71】

【補正対象部品名】明細書

【補正対象項目名】図3.2

